

(9) 日本国特許庁 (JP)

(11) 特許出願公開

(12) 公開特許公報 (A)

昭58—7903

Int. Cl.³
H 03 C 1/02
1/62

識別記号

府内整理番号
7402-5 J
7402-5 J

(3) 公開 昭和58年(1983)1月17日

発明の数 1
審査請求 有

(全 8 頁)

スイッチト・キャパシタ変調装置

(2) 特 願 昭56-102176

(22) 出 願 昭56(1981)6月30日

(23) 発明者 ジヨン・エイ・シー・ビンガム
アメリカ合衆国カリフォルニア
州94301パロ・アルト・ウェブ

スター・アベニュー2353

(24) 出願人 レイカルーバーディック・イン
コーポレーテッド
アメリカ合衆国カリフォルニア
州94086サンベール・カスピ
アン・ドライブ222
代理人 弁理士 湯浅恭三 外1名

明細書

1. [発明の名称]

スイッチト・キャパシタ変調装置

2. [特許請求の範囲]

(1) 变調信号でキャリヤ信号を変調して変調された信号を形成するスイッチト・キャパシタ変調装置において、

変調信号が印加される第1入力と、複数の切換信号が印加される第2入力と、サンプルした変調信号を与える出力と、第1と第2の電極を有する主キャパシティブ手段と、切換信号に応答して前記第1と第2電極を前記入力と出力に接続する複数の2進スイッチを含むスイッチング手段、

キャリヤ信号およびこのキャリヤ信号の少なくとも4倍の周波数を有するクロック信号に応答して前記切換信号を発生する論理手段、および

前記サンプルした変調信号に応答して変調された信号を与える積分手段と、

から成ることを特徴とするスイッチト・キャパシタ変調装置。

(2) 特許請求の範囲第1項の変調装置において、前記複数の2進スイッチは少なくとも第1、第2、第3および第4のスイッチを含み、前記第1電極は第1スイッチを介して前記第1入力に接続され、第2スイッチを介して共通グランドに接続され、前記第2電極は第3スイッチを介して前記出力に接続され、第4スイッチを介して共通グランドに接続されていること。

(3) 特許請求の範囲第2項の変調装置において、前記論理手段はキャリヤ信号の第1の半サイクルにおいて、

クロック信号の一方の半周期では前記第1と第4スイッチを開とし前記第2と第3スイッチを開とする切換信号を発生することにより前記主キャパシティブ手段が変調信号で充電されるようになるとともに、クロック信号の残りの半周期では前記第1と第4スイッチを開とし前記第2と第3スイッチを開とする切換信号を発生

することにより前記主キャパシティップ手段が放電されるようにしたこと。

(4) 特許請求の範囲第3項の変調装置において、前記論理手段はキャリヤ信号の第2の半サイクルにおいて、クロック信号の一方の半周期では前記第1と第3スイッチを閉とし前記第2と第4スイッチを開とする切換信号を発生することにより前記主キャパシティップ手段が変調信号で充電されるようにするとともに、クロック信号の残りの半周期では前記第1と第3スイッチを開とし前記第2と第4スイッチを閉とする切換信号を発生することにより前記主キャパシティップ手段が放電されるようにしたこと。

(5) 特許請求の範囲第4項の変調装置において、入力と出力を有する演算増幅器第5スイッチ、および蓄積キャパシティップ手段から成る遅延手段を設け、演算増幅器の入力は第5スイッチを介して前記第1入力に接続し、演算増幅器の出力は前記第1スイッチに接続し、蓄積キャパシティップ手段は演算増幅器の入力と共通グランド

間に挿入し、第5スイッチを第4スイッチと同一の切換信号により制御するようにしたこと。

(6) 特許請求の範囲第3項の変調装置において、前記スイッチング手段は前述した以外の切換信号Sに応答して前記第1入力を前記第2電極に接続する第5スイッチを含み、前記論理手段はキャリヤ信号の前記第1の半サイクルにおいてこの第5スイッチを開にする前記切換信号Sを発生すること、さらに前記論理手段はキャリヤ信号の前記第2の半サイクルにおいて、前記第2スイッチを開とし前記第1と第4スイッチを開としておきクロック信号の第1の半周期では第5スイッチを開とし第3スイッチを開にして前記キャパシティップ手段を変調信号で充電させるがクロック信号の第2の半周期では第5スイッチを開とし第3スイッチを開にして前記キャパシティップ手段を放電させる切換信号を発生すること。

(7) 特許請求の範囲第3項の変調装置において、前記スイッチング手段は前述した以外の切換信

(3)

(4)

号S'に応答して前記出力を前記第1電極に接続する第5スイッチを含み、前記論理手段はキャリヤ信号の前記第1の半サイクルにおいてこの第5スイッチを開にする前記切換信号S'を発生すること、さらに前記論理手段はキャリヤ信号の第2の半サイクルにおいて、前記第4スイッチを開とし前記第2と第3スイッチを開にしておきクロック信号の第1の半周期では第1スイッチを開とし第5スイッチを開にして前記キャパシティップ手段を変調信号で充電させるがクロック信号の第2の半周期では第1スイッチを開とし第5スイッチを開にして前記キャパシティップ手段を放電させる切換信号を発生すること。

(8) 特許請求の範囲第5項、第6項または第7項の変調装置において、前記スイッチング手段はさらに複数の補助キャパシティップ手段および補助切換信号に応答する複数の補助スイッチから成る整形手段を含み、各補助キャパシティップ手段は対応する補助スイッチを介して前記主

キャパシティップ手段の両端に接続されており、前記論理手段はキャリヤ信号の整数倍の周波数で前記補助スイッチを動作する前記補助切換信号を発生すること。

3. [発明の詳細な説明]

本発明はある周波数帯の信号をほぼ正弦波ないしは方形波の第2周波数帯の信号と掛け合わせることにより信号を変調する技術に関する。

過去、変調器は種々の非線形デバイス、例えは真空管、ダイオード、トランジスタやスイッチ等を、トランスまたは増幅器と組合せることによって構成された。例えば、米国特許第3,937,882(Bingham, 1976年2月10日付与)に示す変調器はその代表例といえよう。設計上の要求事項として変調器の全てのスプリアス出力に対してこれらの値をごく低く抑える必要がある場合には回路パラメータを個々に調整することが一般に必要とされた。

電子回路の伝達関数をLSI回路に実装できる部品のみで実現することがしばしばのぞまれる。

(5)

-8-

(6)

このような部品によるひとつの構成例はスイッチ、キャパシタおよび演算増幅器からなるものである。これらの部品を使用する技術はスイッチト・キャパシタ技術と呼ばれており、Hosticka らの IEEE Journal of Solid State Circuits (1977 年 12 月 P. 600) 等に記述されている。

スイッチト・キャパシタ回路の伝達関数はキャパシタの各電極と共に共通グラウンド（通常は基板）間の寄生容量に対して感度を有することが示される。基板側の電極と基板（グラウンド）間の寄生容量の方が大きい。しかしこの大きい方の寄生容量についてはキャパシタの基板側電極を基板に接地することで通常影響を除去することが可能である。しかし、このようにしてもキャパシタの上方の電極と基板間に寄生する小さい方の寄生容量に対する感度は依存として残る。

上記両寄生容量のいずれに対しても全く感度を持たないスイッチト・キャパシタの 2 つの構成例が Martin と Sedra により、 Electronics Letters (1979 年 6 月 21 日、 P 365) に記載され

(7)

される。積分器とスイッチト・キャパシタ回路で使用する回路部品は全て LSI に実装可能である。

本発明の特徴は帰還キャパシタ付のひとつの演算増幅器（積分器）および入来信号と積分器間ににおいてスイッチング動作するひとつあるいはそれ以上の入力キャパシタで、入力信号をそのままあるいは逆相で積分器に導入するキャパシタとから成る変調装置にある。積分器の出力信号は入来信号で変調されたキャリヤ信号と等価である。

以下、本発明のいくつかの実施例を示し、上述した目的その他の目的、特徴、利点等について図面を参照した以下の詳細な説明を通して明らかにする。

第 1 図には論理回路 8 、スイッチト・キャパシタ回路 10 および積分器 12 から成る変調装置をブロック図で示してある。論理回路 8 の入力 14 には変調信号のサンプリングの基本となるクロック信号が与えられる。変調信号はスイッチト・キャパシタ回路 10 の入力 16 に与えられる。キャリヤ信号は論理回路 8 の入力 18 に与えられ、こ

ている。これには種々のフィルタ・セクション用の回路構成とともに反転積分器と非反転積分器の対が載せられている。

したがつて、本発明の主な目的は個別部品が不要な、完全に集積化された変調装置を提供することである。

その他の目的はそのような変調装置をスイッチ、キャパシタおよび演算増幅器を使用して実現することである。

さらに他の目的はキャリヤ信号の制御の下で交互に反転モードと非反転モードで操作するよう積分器に変調信号を与える変調装置を提供することである。

さらに他の目的はキャパシタの寄生容量に対する感度を持たない変調装置を提供することである。

本発明によればキャリヤ信号の制御の下で反転モードと非反転モード間を切り換る積分器が使用される。入来信号、すなわち変調信号がスイッチト・キャパシタ回路を通してこの積分器に入力

(8)

の信号の状態によってサンプルした変調信号がそのままの形で積分器 12 に加えられるか、あるいは反転した形で加えられるかが決まる。積分器 12 は変調信号により変調されたキャリヤ信号と等価な出力信号を発生する。論理回路 8 は切換信号をスイッチト・キャパシタ回路 10 に与えて変調信号が積分器 12 に上述した形で印加されるようになる。本発明の実施例によれば第 1 図の変調装置は LSI に容易に実装できる回路素子のみで構成される。スイッチは通常 MOSFET の IC でよく積分器は帰還用キャパシタを設けた普通の演算増幅器でよく、これらの部品（素子）はすべて一個の基板上に集積することができる。好ましいことに、個別部品を一切使用することなく本発明を実現することができる。

第 2 a 図には第 1 図のスイッチト・キャパシタ回路の基本的構成例を示してある。キャリヤ信号の一方の半波期間（半サイクル）では、スイッチ 20 と 22 が同相で閉じてキャパシタ 24 を充電する。ついでスイッチ 20 と 22 は開になり、

(9)

-9-

(10)

スイッチ 26 と 28 が閉じてキャパシタ 24 を充電して積分器 12 に送る。この動作モードではサンプルした変調信号は反転した形で積分器に送られる。したがつて積分器 12 を帰還キャパシタ付の反転増幅器で構成した場合には、変調装置全体としては非反転モードで動作することになる。

キャリヤ信号の他方の半波期間においては、スイッチ 20 と 28 が同相で閉じキャパシタ 24 を充電し、サンプルした変調信号をそのままの形で積分器 12 に印加させる。しかる後、スイッチ 20 と 28 は開となり、これに代つてスイッチ 22 と 26 が閉じてキャパシタ 24 をグランドに放電する。したがつて、積分器が上述の構成の場合、変調装置全体としての動作は反転モードとなる。キャリヤ信号の制御によるモード切換により変調が実行される。

論理回路 8 はスイッチト・キャパシタ回路 10 のスイッチを切換える切換信号を発生する。切換信号 S_n (ここに n は第 2 a 図の各スイッチの番号を表わす) の好ましい論理表示は次の通り。

(11)

に与えられる変調信号はクロック信号の半周期分だけ遅れる。これに対し、反転モードでは時間遅れなしで変調信号が積分器に与えられる。このアンバランスは出力信号にスプリアス成分を発生させる。

このアンバランスは第 3 a 図に示すように基本例のスイッチト・キャパシタ回路にもうひとつスイッチを加えることで除かれる。

キャリヤ信号の第 1 の半周期ではスイッチ 30 は開いたままとし、スイッチト・キャパシタ回路の残りの部分は第 2 a 図の回路の非反転動作と同様に動作させる。

しかし、キャリヤ信号の第 2 の半周期ではスイッチ 20 と 22 を閉いたままにし、スイッチ 26 は閉じたままにする。そして、クロック信号の第 1 の半周期においてスイッチ 30 を閉じ、スイッチ 20 を通してキャパシタ 24 を充電する。クロック信号の第 2 の半周期ではスイッチ 30 を開、スイッチ 28 を閉として積分器 14 の方へキャパシタ 24 を放電する。こうして反転モード(キャ

$$\begin{aligned} S_{20} &= \overline{\text{CLOCK}} \oplus \text{CXR} \\ S_{22} &= \overline{\text{CLOCK}} \\ S_{26} &= \text{CLOCK} \oplus \text{CXR} \\ S_{28} &= \text{CLOCK} \end{aligned}$$

ここに、CLOCK と CXR はそれぞれ、クロック信号とキャリヤ信号の論理レベルを示す。

クロック信号とキャリヤ信号との間の位相関係に制限はない。ただし、クロック信号の周波数がキャリヤ信号の周波数の 8 倍より低い場合には該動作をもたらす重大な歪みが生じる。

本発明の好適実施例ではクロック信号の周波数は 2 の x 乗で、 x の値は少なくとも 4 である。第 2 b 図にキャリヤ信号とクロック信号および上述した切換信号間の好ましい関係の一例を示してある。

上記変調装置が非反転モードで動作している場合には、クロック信号の最初の半周期においてキャパシタ 24 が充電され、次の半周期において積分器 12 に放電される。したがつて積分器 12

(12)

リヤ信号の第 2 の半周期での動作モード) でも、上述した時間遅れが生じることになり、上記アンバランスがなくなる。

第 2 a 図で説明したクロック信号とキャリヤ信号の関係はこの場合も当てはまるが、個々の切換信号について変つてくる。

論理回路 8 3 はスイッチト・キャパシタ回路 10³ のスイッチの動作を制御する切換信号を発生する。切換信号 S_n (ここに n は第 3 a 図の各スイッチ番号を示す) の好ましい切換の論理式は次の通り。

$$\begin{aligned} S_{20} &= S_{22} = \overline{\text{CLOCK}} \cdot \overline{\text{CXR}} \\ S_{26} &= \text{CLOCK} \oplus \text{CXR} \\ S_{28} &= \text{CLOCK} \\ S_{30} &= \overline{\text{CLOCK}} \cdot \text{CXR} \end{aligned}$$

ここで、CLOCK と CXR は上述した通りである。

第 3 b 図に第 3 a 図におけるキャリヤ信号、クロック信号および切換信号間の好ましい関係の一例を示す。

(13)

—10—

(14)

式を採用することにより除くことができる。

第5 a 図に第2 a 図のスイッチ・キャパシタ回路 10² に上記遅延を与える遅延回路 38 を附加したものを示す。本例では変調信号は入力 40 に与えられる。スイッチ 42 はスイッチ 22 と同相で動作する。キャリヤ信号の第1の半周期ではスイッチ 42 はスイッチ 20 に対しても同相であり、したがつて変調信号に遅れは与えられない。しかし、キャリヤ信号の第2の半周期ではスイッチ 42 はスイッチ 20 と逆相で動作し、スイッチ 42、キャパシタ 46 および単位利得増幅器 44 によりつくられるサンプル・ホールド回路により変調信号はクロック信号の半周期分遅延が与えられる。こうして第2 a 図に関して説明したアンバランスが取り除かれる。

第5 a 図に示す積分器には増幅器 48 と積分キャパシタ 50 から成る。積分器 12 と並列にスイッチ 52、スイッチ 54 およびキャパシタ 56 から成る回路 51 が接続される。このスイッチ・コンデンサースイッチ組合せ回路 51 はクロック

(16)

信号の各周期においてキャパシタ 50 の電荷の一部を逃がすことにより増幅器の DC 過和を防止する機能を持つている。

第2 a 図で説明した切換信号とキャリヤ信号との周波数関係は第5 a 図にも同様に適用される。ただし、論理回路 85 は適当な修正をした切換信号を発生する。切換信号 S_n (ここに n は第5 a 図の各スイッチの番号を示す) の好ましい論理式は次の通り。

$$\begin{aligned} S_{20} &= \overline{\text{CLOCK} \oplus \text{CXR}} \\ S_{22} &= S_{42} = S_{54} = \overline{\text{CLOCK}} \\ S_{26} &= \text{CLOCK} \oplus \text{CXR} \\ S_{28} &= S_{52} = \text{CLOCK} \end{aligned}$$

ここで CLOCK と CXR は前述の定義通り。

第5 b 図に第5 a 図のキャリヤ信号、クロック信号および切換信号の間の好ましい関係の一例を示す。

前述した切換関数は互に重なり合わないようにして実現するのが望ましい。閉にすべきスイッ

チの動作をすでに閉になつてあるスイッチが聞くまでまたせる。重なり合わない関係を得るために適した方法は、上述した切換信号を発生させ、各切換信号を対応する AND ゲートに送ることである。そして各 AND ゲートの第2入力に前述したクロック信号の2倍の周波数のクロックパルスを与える。ついで AND ゲートの出力信号を切換信号として対応するスイッチに与える。このようにすればクロック信号の半周期分しか各スイッチは閉じないので重なり合わない切換関係が得られる。

上述した実施例ではキャリヤ信号として方形波を使用したが、正弦波キャリヤへの近似が必要な場合には、整形手段により積分器 12 の利得を段階的に増減して変調が正弦波の階状近似で行なわれるようになる。すなわち積分器 12 の利得はキャパシタ 24 の容量に直接比例するから、このキャパシタと並列になるようないくつかのキャパシタを順次切り換て導入することにより利得を制御する。整形手段で使用されるキャパシタの数により正弦波への近似の程度が決まる。

号の論理レベル、 F_2 、 F_4 、 F_8 はそれぞれキャリヤ信号の2倍、4倍、8倍周波の信号の論理レベルを示す。

表 I

F_1	F_2	F_4	F_8	S_{56}	S_{58}	S_{60}
0	0	0	0	0	0	0
0	0	0	1	1	0	0
0	0	1	0	1	1	0
0	0	1	1	1	1	1
0	1	0	0	1	1	1
0	1	0	1	1	1	0
0	1	1	0	1	0	0
0	1	1	1	0	0	0
1	0	0	0	0	0	0
1	0	0	1	1	0	0
1	0	1	0	1	1	0
1	0	1	1	1	1	1
1	1	0	0	1	1	0
1	1	1	0	1	0	0
1	1	1	1	0	0	0

19

20

4. [図面の簡単な説明]

第1図は変調装置のブロック図、第2a図は第1図のスイッチト・キャバシタ回路の基本構成例を示す回路図、第2b図は第2a図のスイッチの制御論理のタイミングチャート、第3a図は第2a図のスイッチト・キャバシタ回路のもうひとつの構成例を示す回路図、第3b図は第3a図のスイッチの制御論理のタイミングチャート、第4a図は第1図のスイッチト・キャバシタ回路のもうひとつの構成例を示す回路図、第4b図は第4a図のスイッチの制御論理のタイミングチャート、第5a図は第1図のスイッチト・キャバシタ回路のさらに別の構成例を示す回路図、第5b図は第5a図のスイッチの制御論理のタイミングチャート、第6a図は第1図のスイッチト・キャバシタ回路のさらに別の構成例を示す回路図、第6b図は第6a図のスイッチの制御論理のタイミングチャートである。

8、 8^2 、 8^3 、 8^4 、 8^5 、 8^6 ：論理回路

12：積分器

10、 10^2 、 10^3 、 10^4 、 10^5 、 10^6 ：スイッチト・キャバシタ回路

24：主キャバシタ

20、22、26、28、30、32：スイッチ

62、64、66：補助キャバシタ

56、58、60：補助スイッチ

特許出願人 レイカルーパーディング・インコーポレーテッド

代理人 弁理士 湯浅恭三
(外1名)

図面の書き(内容に変更なし)

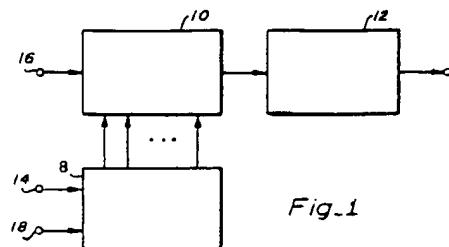


Fig. 1

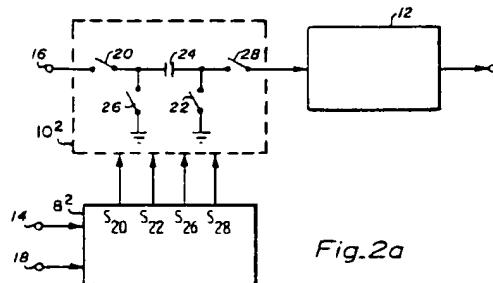


Fig. 2a

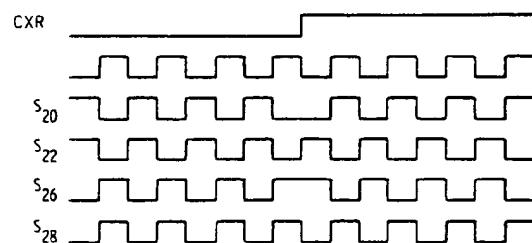


Fig. 2b

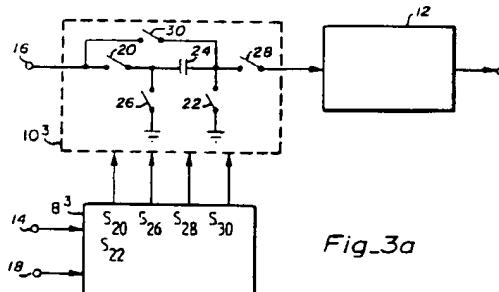


Fig. 3a

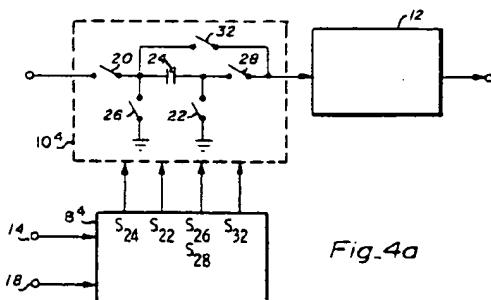


Fig. 4a

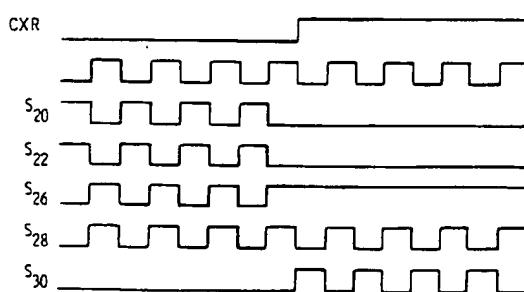


Fig. 3b

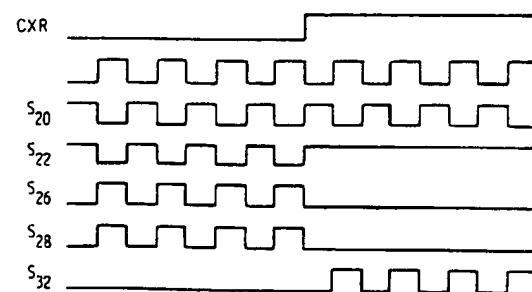


Fig. 4b

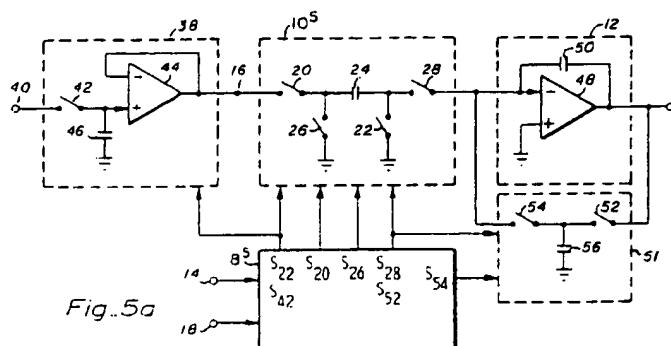


Fig. 5a

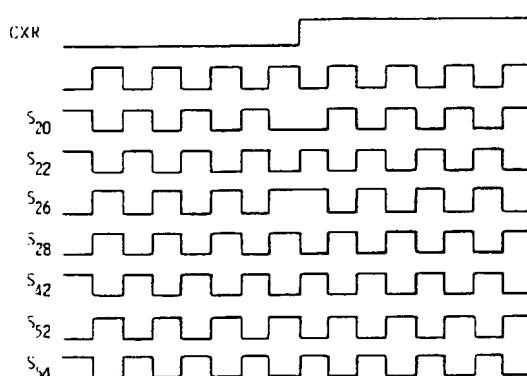


Fig. 5b

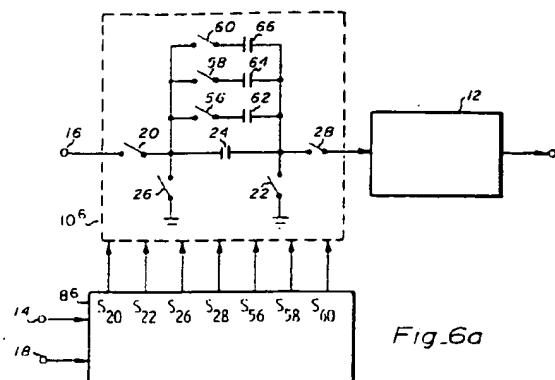


Fig. 6a

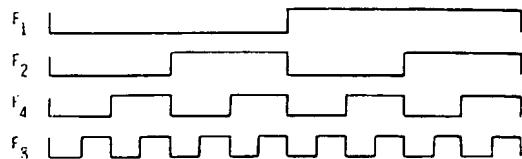


Fig. 6b

手 続 楽 正 書

昭和 56 年 9 月 10 日

特許庁長官 島 田 春 树

1. 事件の表示

昭和 56 年特許願第 102176 号

2. 発明の名称

スイッチ・キャハシタ変調装置

3. 楽正をする者

事件との関係 特許出願人

住所

名前 レイカル・バー・オフィック・インコーポレーテッド

4. 代理人

住所 東京都千代田区大手町二丁目2番1号
新大手町ビル206号室(電話 270-6641~6)
氏名 (2770) 弁理士 湯戸恭三

5. 楽正の対象

出願人の代表者の名を記載した願書

委任状及証文

図面



6. 楽正の内容

別紙の通り(また、図面の内容には変更なし)